

527169

09 MAR 2005

特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004 年 10 月 21 日 (21.10.2004)

PCT

(10) 国際公開番号  
WO 2004/090970 A1

- (51) 国際特許分類<sup>7</sup>: H01L 21/60, 23/12
- (21) 国際出願番号: PCT/JP2004/004908
- (22) 国際出願日: 2004 年 4 月 5 日 (05.04.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2003-105794 2003 年 4 月 9 日 (09.04.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 大日本印刷株式会社 (DAI NIPPON PRINTING CO., LTD.) [JP/JP]; 〒1628001 東京都新宿区市谷加賀町一丁目 1 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 三浦 陽一 (MIURA, Yoichi) [JP/JP]; 〒1628001 東京都新宿区市

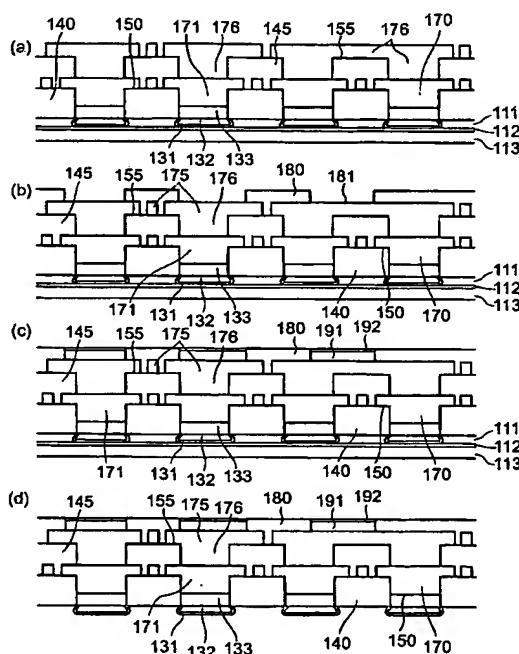
谷加賀町一丁目 1 番 1 号 大日本印刷株式会社内 Tokyo (JP).

- (74) 代理人: 吉武 賢次, 外 (YOSHITAKE, Kenji et al.); 〒1000005 東京都千代田区丸の内三丁目 2 番 3 号 富士ビル 3 2 3 号 協和特許法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,

[続葉有]

(54) Title: WIRING BOARD AND PROCESS FOR PRODUCING THE SAME

(54) 発明の名称: 配線基板およびその製造方法



(57) Abstract: A wiring board comprising a wiring part consisting of one or more wiring layers, a first terminal part projecting from one side of the wiring part, and a second terminal part provided on the other side of the wiring part. Resist having an opening for the first terminal part is formed on the surface of a composite material consisting of multiple metal layers, and only the first metal layer of the composite material is etched from the opening for the first terminal part thus forming a hole part. Inside of the hole part is subjected to electrolytic plating from the opening of the resist and the hole part is filled with the electrolytic plating layer thus forming a first terminal part. Subsequently, the resist is removed, a wiring layer is provided on the composite material, and solder resist having an opening for the second terminal part is provided on the wiring layer. The opening for the second terminal part in the solder resist is subjected to electroplating thus forming the second terminal part. Finally, the remaining part of the composite material is removed thus producing the wiring board.

(57) 要約: 本発明による配線基板は 1 層以上の配線層からなる配線部と、配線部の一方側に突出して設けられた第 1 の端子部と、配線部の他方側に設けられた第 2 の端子部とを備えている。多層の金属層からなる複合材の表面に第 1 の端子部用開口を有するレジストを形成し、第 1 端子部用開口から複合材の第 1 の金属層のみをエッチングして孔部を形成する。レジストの開口から孔部に電解めっきを施し、孔部内を電解めっき層で埋めて第 1 の端子部を形成する。レジストを除去し、複合材に配線層を設け、この配線層上に第 2 の端子部

用開口を有するソルダーレジストを設ける。ソルダーレジストの第 2 の端子部用開口に電気めっきを施して第 2 の端子部を形成する。複合材の残部を除去して配線基板を作製する。

WO 2004/090970 A1

WO 2004/090970 A1



NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書配線基板およびその製造方法技術分野

本発明は、配線層を1層以上積層した配線基板およびその製造方法に関する。配線層の一方の側に半導体素子とフリップチップ接続するための、突起状のフリップチップ接続用バンプが第1の端子部として形成されている。他方側には、配線層を覆うソルダーレジストの開口にこれを埋めるように第2の端子部がめっき形成されている。

背景技術

近年、半導体装置において、半導体素子（半導体チップないし単にチップとも言う）の外部端子数が多くなっている。高速にて動作する半導体素子は、電気特性向上のため、エリアアレイ型のフリップチップ接合により、インターポーザーである半導体パッケージ用基板と接合させている。

従来、C4タイプ（半田接合によるフリップチップ接続タイプ）のフリップチップ接合においては、半導体素子側の半田バンプと安定的な接合状態を得るために、基板側の端子にも半田バンプを形成しておく必要がある。

この場合、基板側の半田バンプは、通常、半田ペーストを金属マスクを用いたスクリーン印刷にて半田を供給した後、リフロー工程、フラックス除去工程、平坦化工程を経て、形成される。

しかし、基板側の半田ペーストのスクリーン印刷は、金属マスクの製造コストが高く、なおかつ、ピッチの縮小化に限界があり、一般的には、 $150\mu\text{m}$ 程度のピッチが限界とされている。

このため、今後、半導体素子側の配線が更に微細化し、 $90\text{nm}$ 程度となった場合、更に端子ピッチが縮小することも考えられており、スクリーン印刷とは別の方法により、更なる微細化への対応が必要となってきた。

スクリーン印刷とは別の方法として、基板に対して金属と、金属塩の置換反応によりバンプを形成し、微細化ピッチへの対応する化学反応によるバンプの形成

方法も挙げることができるが、この方法の場合、材料費、製造コストは、高く、バンプ高さのばらつきにも問題が残る。

尚、スクリーン印刷を用いて基板側に半田バンプを形成して半導体素子側の半田バンプと接合する場合、接触させた後に加熱により、半田を熔融させて接合させる。このとき、基板側の半田バンプの高さのばらつきにより、半導体素子側の半田バンプとの接合が不十分となる危険性がある。

また、半導体素子側の半田バンプは熔融させずに基板側の半田バンプのみを熔融させてフリップチップ接合を行う場合、基板側の半田バンプの表面の酸化が半導体素子側の半田バンプとの濡れ性を低下させるという問題もあった。

また、通常、基板表面にソルダーレジストを配し、半導体素子側の半田バンプと接合するための端子を設けるが、基板側の端子の形状によっては、NSMD (non-Solder Mask defined) の場合、ソルダーレジストとのずれが生じる。また熱によるストレス、落下その他の衝撃に対し、故障が発生し易くなり、信頼性が低下し、結果的に端子形状に起因する接合不良が生じることもある。

特に、バンプピッチを微細化すると、ソルダーレジスト開口径が小さくなり、ソルダーレジストの開口形状がSMD (Solder Mask defined) の場合には、半田を供給しないと、接合が不完全となる。

ここで、図7 (a) に示すように端子部721の領域がソルダーレジスト722により限定されない形態をNSMD、図7 (b) や図7 (c) に示すように、端子部721の領域がソルダーレジスト722により限定される形態をSMDと言う。

SMDにおいては、半田を供給した場合でも、ソルダーレジストの壁の角度が垂直に近い場合は、上面部 (D1部) の半田にストレスが集中し、熱衝撃時の寿命低下の危険がある。

一方、ソルダーレジストの断面形状の壁面角度を鈍角とした場合、開口部底部のサイズは、レジストの厚み、レジスト感度によってばらつきが生じるし、表面のサイズは、微細ピッチ時には大きくできないという欠点がある。

特開平2001-93929号公報 (公知文献1) および特願2002-20

3868号公報（公知文献2）参照。

上記のように、C4タイプ（半田接合によるフリップチップ接続タイプ）のフリップチップ接合においては、 bumps ピッチの微細化に伴ない、基板側に半田 bumps を設ける場合、従来の半田ペーストのスクリーン印刷による基板側の半田 bumps の形成には pitch の微小化への限界が見られる。また、金属と、金属塩の置換反応により基板側に bumps を形成する場合、材料費、製造コストが高く、 bumps 高さのばらつきも問題となる。更に、通常、基板表面に solder レジストを配し、半導体素子側の半田 bumps と接合するための端子を設けるが、このような形態をとるため、種々問題があり、これらの対応が求められていた。

#### 発明の開示

本発明はこれらに対応するもので、具体的には、半導体素子の半田 bumps と直接フリップチップ接続でき、半導体素子の半田 bumps と、確実にフリップチップ接続することができる配線基板およびその製造方法を提供することを目的とする。

本発明は、1層以上の配線層からなる配線部と、配線部の一方側に突出して設けられた第1の端子部と、配線部の他方側に設けられた第2の端子部とを有する配線基板の製造方法において、多層の金属層からなる複合材の表面に、第1の端子部用開口を有するレジストを形成するレジスト形成工程と、レジストの第1端子部用開口から複合材の第1の金属層のみをエッチングして孔部を形成するエッチング工程と、レジストの第1の端子部用開口から孔部を埋めるよう第1の端子部を電解めっきにより形成する第1の電解めっき工程と、レジストを剥離した後、第1の端子部に樹脂材層を設けて配線層を形成する配線層形成工程と、配線層上に、第2の端子部用開口を有する solder レジストを設ける solder レジスト形成工程と、 solder レジストの第2の端子部用開口に電解めっきを施して第2の端子部を形成する第2の電解めっき工程と、複合材の残部をエッチング除去するエッチング除去工程と、を備えたことを特徴とする配線基板の製造方法である。

本発明は、複合材は第1の Cu 層、Ni 層または Ti 層、および第2の Cu 層を積層して構成されていることを特徴とする配線基板の製造方法である。

本発明は、第1の電解めっき工程は、順に Au めっき、Cu めっき、あるいは順に Au めっき、Ni めっき、あるいは順に Au めっき、Ni めっき、Cu めっき

き、あるいは順にP dめっき、C uめっき、あるいは順にP dめっき、N iめっき、あるいは順にP dめっき、N iめっき、C uめっき、あるいは順にP d系合金めっき、C uめっき、あるいは順にP d系合金めっき、N iめっき、あるいは順にP d系合金めっき、N iめっき、C uめっき、あるいはS nめっき、あるいは順にS nめっき、C uめっき、あるいはS n系合金めっき、あるいは順にS n系合金めっき、C uめっきを施すことからなることを特徴とする配線基板の製造方法である。

本発明は、1層以上の配線層からなる配線部と、配線部の一方側に突出して設けられた第1の端子部と、配線部の他方側に設けられた第2の端子部とを有する配線基板の製造方法において、第1のC u層、N i層および第2のC u層からなる複合材の表面に第1の端子部用開口を有するレジストを形成するレジスト形成工程と、レジストの第1の端子部用開口を埋めるよう第1の端子部用の電解めっき形成部を電解めっきにより形成する第1の電解めっき工程と、レジストを剥離した後、電解めっき形成部に樹脂層を設けて配線層を形成する配線層形成工程と、配線層上に、第2端子部用開口を有するソルダーレジストを設けるソルダーレジスト形成工程と、ソルダーレジストの第2端子部用開口に電解めっきを施して第2端子部を形成する第2の電解めっき工程と、複合材のN i層をエッチングストップとして第2のC u層をエッチング除去する工程と、N i層上に第1の端子部領域のみを覆うようにして、追加レジストを形成し、この追加レジストを耐エッチングレジストとしてN i層、第1のC u層をエッチングして貫通させ、電解めっき形成部と、第1のC u層と、N i層とからなる第1の端子部を形成するエッチング工程と、追加レジストを除去した後、電解めっき形成部、第1のC u層、およびN i層上に、更に無電解A uめっき層、あるいは順に無電解N iめっき層および無電解A uめっき層を施す無電解めっき工程と、を備えたことを特徴とする配線基板の製造方法である。

本発明は、複合材はクラッド材からなることを特徴とする配線基板の製造方法である。

本発明は、配線層形成工程において、セミアディティブ方法により配線層が形成されることを特徴とする配線基板の製造方法である。

本発明は、配線層形成工程は、（Ａ）絶縁性樹脂からなる樹脂材層をラミネートするラミネート工程と、（Ｂ）前記ラミネート工程にてラミネートされた樹脂材層を、レーザにてビア形成用の孔を開ける、孔形成工程と、（Ｃ）形成された孔部の表面を含め、樹脂材層表面にＣｕ無電解めっきを施し、形成されたＣｕ層上に、回路形成部を開口してレジストを形成した後、レジスト開口から露出したＣｕ層上に、該Ｃｕ層を導電層として電解Ｃｕめっきを施し、更に、前記レジストを剥離し、露出した無電解めっきにより形成されたＣｕ層をエッチング除去して、ビアを形成するとともに、回路部を形成する回路部形成工程とを備えたことを特徴とする配線基板の製造方法である。

本発明は、配線層形成工程において、フルアディティブ方法とサブトラクティブ方法、あるいはフルアディティブ方法とセミアディティブ方法の両方を用いて配線層が形成されることを特徴とする配線基板の製造方法である。

ここで、サブトラクティブ方法とは、銅箔等の配線層形成用の導電性薄板を選択エッチングして配線部を形成する方式を言い、フルアディティブ方法とは、配線部を選択めっきだけで形成する方式を言い、セミアディティブ方法とは、めっき形成した導電性層をエッチングして除去して配線部を形成する方式を言う。また通電用の薄い導電層をめっき形成した後、これを通電層として選択的に電解めっきして配線部を厚く形成し、更にフラッシュエッチングにて通電用の薄い導電層を除去する方式もセミアディティブ方法と言う。

本発明は、１層以上の配線層からなる配線部と、配線部の一方側に設けられた複数の第１の端子部と、配線部の他方側に設けられた複数の第２の端子部とを備え、配線層は第１の端子部側に向かう樹脂材層を有しており、配線部の第１の端子部側にはソルダーレジストを設けずに、樹脂材層が露出し、各第１の端子部は、その先端に平面部を有し、各第１の端子部の平面部は一平面上に揃っており、各第１の端子部の平面部全体に、電解めっき層あるいは無電解めっき層からなる表面めっき層が形成されていることを特徴とする配線基板である。

本発明は、第１の端子部の電解めっき層は、表面側からの順にＡｕめっき層、Ｃｕめっき層、あるいは順にＡｕめっき層、Ｎｉめっき層、あるいは順にＡｕめっき層、Ｎｉめっき層、Ｃｕめっき層、あるいは順にＰｄめっき層、Ｃｕめっき

層、あるいは順にPdめっき層、Niめっき層、あるいは順にPdめっき層、Niめっき層、Cuめっき層、あるいは順にPd系合金めっき層、Cuめっき層、あるいは順にPd系合金めっき層、Niめっき層、あるいは順にPd系合金めっき層、Niめっき層、Cuめっき層、あるいはSnめっき層、あるいは順にSnめっき層、Cuめっき層、あるいはSn系合金めっき層、あるいは順にSn系合金めっき層、Cuめっき層を形成したものであることを特徴とする配線基板である。

本発明は、第1の端子の無電解めっき層は、無電解Auめっき層、あるいは、表面側から順に無電解Niめっき層、無電解Auめっき層であることを特徴とする配線基板である。

本発明による配線基板の製造方法によれば、このような構成にすることにより、半導体素子の半田バンプと直接フリップチップ接続できる第1の端子部を有し、半導体素子の半田バンプと直接フリップチップ接続を確実に行うことができる配線基板を提供することができる。

また本発明の配線基板の製造方法によれば、第1の電解めっき工程は、順にAuめっき、Cuめっき、あるいは順にAuめっき、Niめっき、あるいは順にAuめっき、Niめっき、Cuめっき、あるいは順にPdめっき、Cuめっき、あるいは順にPdめっき、Niめっき、あるいは順にPdめっき、Niめっき、Cuめっき、あるいは順にPd系合金めっき、Cuめっき、あるいは順にPd系合金めっき、Niめっき、あるいは順にPd系合金めっき、Niめっき、Cuめっき、あるいはSnめっき、あるいは順にSnめっき、Cuめっき、あるいはSn系合金めっき、あるいは順にSn系合金めっき、Cuめっきを施すことからなり、作製される配線基板は、第1の端子部の表面にて直接、半導体素子の半田バンプとフリップチップ接続できる。このため接続の際、第1の端子部が表面酸化しても、実用レベルで問題とならない。

特に、第1の電解めっき工程において、順に、Auめっき、Cuめっき、あるいは、順に、Auめっき、Niめっき、あるいは、順にAuめっき、Niめっき、Cuめっきを施す場合、第1の端子部の表面酸化の問題をより解消することができる。



また、本発明の配線基板の製造方法においては、第1のCu層の厚さに、揃えて、バンプ形成領域用の孔部を全て形成する。また、Ni層またはTi層の面に、第1の端子部（バンプ部）の表面位置を揃えることができる。

即ち、第1の端子部をバラツキなく、その突出した表面の位置を均一に揃えることができる。また、第1の端子部（バンプ部）の突起の高さ、即ち、配線基板を製造した際、樹脂材層から突出した高さを、第1のCu層の厚さに揃えることができる。

また、Ni層またはTi層、第2のCu層を通電層として電解めっきにて第1の端子部（バンプ部）を形成することができる。

ここでは、Ni層またはTi層は、第1のCu層をエッチングする際のエッチングストッパー層、第1の電解めっきの母材、および通電層としての役割を持つ。

第2のCu層は、支持基材として機能し、第1の電解めっきにおける通電層となる。

また、第1のCu層エッチングの際のレジストを耐めっきレジストとすることにより作業性の良いものになっている。

本発明の配線基板の製造方法においては、第1の端子部の端子部表面に、無電解Auめっき、あるいは、順に無電解Niめっき、無電解Auめっきを施す。このため作製される配線基板は、第1の端子部の表面にて直接、半導体素子の半田バンプとフリップチップ接続することができる。また接続の際、第1の端子部の表面酸化が問題となることはない。

また、本発明の配線基板の製造方法においては、第1のCu層、Ni層をエッチングして、このエッチング残部を、樹脂材層から突出した部分とし、その表面に無電解めっきによりめっき層を形成する。このため第1のCu層の厚さ、Ni層の厚さの総和の厚さを定めることにより、樹脂材層から突出した高さを、調整することができる。また、第1の端子部の突出した表面の位置は、Ni層表面に揃えられるため、第1の端子部（バンプ部）の突起の高さ、即ち、配線基板を製造した際、樹脂材層から突出した高さを、均一に揃えて調整することができる。

ここで、第2のCu層は、支持基材として機能するだけでなく、電解めっきする際の通電層としての役割を持ち、第1の端子部の一部となるもので、その厚さ

により、配線基板を製造した際、樹脂材層から突出した高さを制御する。

また、Ni層は、第2のCu層をエッチングする際のエッチングストッパー層、電解めっきする際の通電層としての役割を持ち、第2のCu層は、支持基材として機能する。

上記において、順に第1のCu層、Ni層又はTi層、第2のCu層を積層した構造の複合材としては、クラッド材が、生産性の面からは好ましいが、これに限定はされない。

クラッド材は、例えば、第1のCu層となる銅箔の一面にNiめっき層を形成し、これと、第2のCu層となるCu箔とを熱をかけて圧着形成して作製される。

別に、第1ないし第2のCu層となるCu箔の一面上に、Niめっき層を形成し、更に第2ないし第1のCu層となるCuめっき層を形成して、複合材とすることもできる。

また、配線層形成工程としては、セミアディティブ方法や、フルアディティブ方法とサブトラクティブ方法、あるいはフルアディティブ方法とセミアディティブ方法の両方を用いたものが挙げられる。

本発明のフリップチップ接続用バンプを有する配線基板は、このような構成にすることにより、半導体素子の半田バンプと直接フリップチップ接続する第1の端子部を有し、半導体素子の半田バンプと直接フリップチップ接続を確実に行うことができる。

第1の端子部側には溶剤レジストを設けずに、樹脂材層を露出させているため、従来の溶剤レジストを配した配線基板の端子形状に起因する種々の問題が生じることはない。

また、第1の端子部の電解めっき層としては、表面側から順にAuめっき層、Cuめっき層、あるいは順にAuめっき層、Niめっき層、あるいは順にAuめっき層、Niめっき層、Cuめっき層、あるいは順にPdめっき層、Cuめっき層、あるいは順にPdめっき層、Niめっき層、あるいは順にPdめっき層、Niめっき層、Cuめっき層、あるいは順にPd系合金めっき層、Cuめっき層、あるいは順にPd系合金めっき層、Niめっき層、あるいは順にPd系合金めっき層、Niめっき層、Cuめっき層、あるいはSnめっき層、あるいは順

にS nめっき層、C uめっき層、あるいはS n系合金めっき層、あるいは順にS n系合金めっき層、C uめっき層を形成したものが挙げられ、無電解めっき層としては、無電解A uめっき層、あるいは、順に無電解N iめっき層、無電解A uめっき層であることにより、第1の端子部が表面酸化しても実用レベルで問題となることはない。

特に、最表面にA u層を設けた場合には、第1の端子部の表面酸化を確実に除去することができる。

#### 図面の簡単な説明

図1 (a) ~ (g) は本発明の配線基板の製造方法の第1の実施の形態の一部工程断面図である。

図2 (a) ~ (d) は図1 (a) ~ (g) に続く一部工程断面図である。

図3 (a) ~ (d) は図2 (a) ~ (d) に続く一部工程断面図である。

図4 (a) ~ (h) は本発明の配線基板の製造方法の第2の実施の形態の一部工程断面図である。

図5 (a) ~ (d) は図4 (a) ~ (h) に続く一部工程断面図である。

図6は本発明のフリップチップ接続用バンプを有する配線基板を用いたパッケージの断面図である。

図7は配線基板のソルダーレジストを配設した側にフリップ接続部を設けた場合の形態と接合状態を説明するための断面図である。

#### 発明を実施するための最良の形態

本発明の実施の形態を図に基づいて説明する。

図1 (a) ~ (g) は本発明の配線基板の製造方法の第1の実施の形態の一部工程断面図であり、図2 (a) ~ (d) は図1 (a) ~ (g) に続く一部工程断面図であり、図3 (a) ~ (d) は図2 (a) ~ (d) に続く一部工程断面図であり、図4 (a) ~ (h) は本発明の配線基板の製造方法の第2の実施の形態の一部工程断面図であり、図5 (a) ~ (d) は図4 (a) ~ (h) に続く一部工程断面図である。このうち図3 (d) は本発明のフリップチップ接続用バンプを有する配線基板の第1の実施の形態の断面図であり、図5 (d) は本発明のフリップチップ接続用バンプを有する配線基板の第2の実施の形態の断面図であり、

図6は本発明のフリップチップ接続用バンプを有する配線基板を用いたパッケージの断面図であり、図7は配線基板のソルダーレジストを配設した側にフリップ接続部を設けた場合の接合状態を説明するための断面図である。

図1～図7中、符号110は（板状の）複合材、符号111は第1のCu層、符号111Aは孔部、符号112はNi層、符号113は第2のCu層、符号120はレジスト、符号121はレジストの開口、符号131はAuめっき層、符号132はNiめっき層、符号133はCuめっき層、符号140は樹脂材層、符号141は孔部（ビア形成用孔）、符号145は樹脂材層、符号150、155は無電解Cuめっき層（単にCu層とも言う）、符号160はレジスト、符号170はCu層、符号171はビア部、符号175はCu層、符号176はビア部、符号180はソルダーレジスト、符号181は開口、符号191はNiめっき層、符号192は金めっき層、符号210は（板状の）複合材、符号211は第1のCu層、符号212はNi層、符号213は第2のCu層、符号220はレジスト、符号221はレジスト開口、符号230は電解めっき層（電解めっき形成部とも言う）、符号240は樹脂材層、符号241は孔部（ビア形成用孔）、符号245は樹脂材層、符号250、255は無電解めっき層、符号260はレジスト、符号270はCu層、符号271はビア部、符号275はCu層、符号276はビア部、符号280はソルダーレジスト、符号281は開口、符号291はNiめっき層、符号292は金めっき層、符号310は（フリップチップ接続用バンプを有する）配線基板、符号311は配線層積層形成部（配線部とも言う）、符号312はフリップチップ接続用端子（第1の端子部とも言う）、符号312Sは突出した平面部、符号313はマザーボードとの接続用端子（第2の端子部とも言う）、符号315は半田ボール、符号320は半導体素子、符号325は半田バンプ、符号330はアンダーフィル、符号710は半導体素子、符号715は半田バンプ、符号720は配線基板（インターポーザとも言う）、符号721は端子部、符号725は半田バンプ、符号730は接合部である。

はじめに、本発明の配線基板の製造方法の第1の実施の形態を図1～図3に基づいて説明する。

配線基板は、図3（d）に示すように、2層の配線層170、175からなる

配線部と、配線層 170、175 の一方側に突出して設けられた第 1 の端子部 131、132、133 と、配線層 170、175 の他方側に設けられた第 2 の端子部 191、192 とを備えている。

配線部の各配線層 170、175 は第 1 の端子部 131、132、133 側に樹脂材層 140、145 を有し、また第 1 の端子部 131、132、133 は半導体素子の半田バンプと直接フリップチップ接続するための、突起状のフリップチップ接続用バンプを構成している。第 2 の端子部 191、192 は、配線部 170、175 を覆うソルダーレジスト 180 の開口 181 にこれを埋めるように形成されている。

各配線層 170、175 は、その樹脂材層 140、145 側を第 1 の端子部 131、132、133 側に向けている。

第 1 の端子部 131、132、133 側にはソルダーレジストを設けておらず、樹脂材層 140 を露出させており、第 1 の端子部 131、132、133 は、その突起状の先端に平面部 131 を設け、且つ、各端子部 131、132、133 の平面部 131 を一平面上に揃えている。このような構成からなる配線基板はパッケージ用のインターポーザとして用いられる。

次に配線基板の製造方法について述べる。先ず、順に第 1 の Cu 層 111、Ni 層 112、第 2 の Cu 層 113 を積層してなる板状の複合材 110 (図 1 (a)) を準備する。次に第 1 の Cu 層 111 の表面に所定形状にレジスト 120 を形成し (図 1 (b))、レジストの開口 121 から露出した第 1 の Cu 層 111 をのみエッチングして、その所定領域を貫通させ、第 1 の端子部形成領域用の孔部 111A を形成する。(図 1 (c))

複合材 110 としては、クラッド材が生産性からは好ましいが、これに限定されない。

通常は、第 1 の Cu 層 111、Ni 層 112、第 2 の Cu 層 113 の厚みとしては、それぞれ、 $50\mu\text{m} \sim 125\mu\text{m}$ 、 $1\mu\text{m}$ 、 $18\mu\text{m} \sim 30\mu\text{m}$  のものが用いられる。

クラッド材としては、第 1 の Cu 層 111 あるいは第 2 の Cu 層 113 となる銅箔の一面に Ni めっき層 112 を形成し、これと、それぞれ、第 2 の Cu 層 1

13、第1のCu層111となるCu箔とを熱をかけて圧着形成して得る。

また別に、第1ないし第2のCu層111, 113となるCu箔の一面上に、Niめっき層112を形成し、更にNiめっき層112に第2ないし第1のCu層となるCuめっき層111, 113を形成して、複合材110とすることもできる。

レジスト120は、後続するめっき工程にも耐えるものを使用する。

レジスト120の材質としては、通常、アクリル系のものが用いられる。

また、第1のCu層111のエッチング液としては、Ni層112をエッチングストッパー層とするため、Ni層をエッチングしないアルカリエッチングが用いられる。

次いで、レジスト120を耐めっきレジストとして、エッチング工程にて形成された孔部111Aを埋めるように、フリップチップ接続用パンプとなる第1の端子部131, 132, 133を電解めっきにより形成する。(図1(d))

本例では、順にAuめっき、Niめっき、Cuめっきを施し、順にAuめっき層131、Niめっき層132、Cuめっき層133を形成し、孔部11Aを埋める。

Auめっき層131、Niめっき層132、Cuめっき層133の各部を併せたものが第1の端子部131, 132, 133となる。

このめっきに代え、順に、Auめっき、Cuめっき、あるいは、順に、Auめっき、Niめっきを施すこともできる。

次いで、複合材110からレジスト120を剥離した(図1(e))後、複合材110の第1の端子部131, 132, 133形成側上に、該第1の端子部に接続するようにして、樹脂材層140を介して配線を設けた1層目の配線層170をセミアディティブ方法にて形成する。

まず、複合材110の第1の端子部形成側上に絶縁性樹脂からなる樹脂材層140をラミネートし(図1(f))、ラミネートされた樹脂材層140を、レーザーにてビア形成用の孔部141を開ける。(図1(g))

樹脂材層140としては、好ましくは、例えば、アラミド繊維やガラス繊維にエポキシ系樹脂を含浸させたものが用いられるが、これに限定はされない。

樹脂材層 140 のラミネート方法としては、例えば、銅箔の一面上に樹脂材層 140 を形成しておき、これを該樹脂材層 140 を介して複合材 110 上に積層した後に、銅箔を除去してラミネートする方法が採られる。

孔部 141 を形成するレーザとしては、CO<sub>2</sub>レーザやUV-YAGレーザが用いられる。

次いで、形成された孔部 141 の表面を含め、樹脂材層 140 表面に無電解 Cu めっきを施す（図 2（a））。次に形成された無電解 Cu めっき層 150 上に、回路形成部を開口してレジスト 160 を形成した（図 2（b））、後、レジスト 160 の開口から露出した Cu 層 150 上に、該 Cu 層 150 を導電層として電解 Cu めっき 170 を施す（図 2（c））。更に、前記レジスト 160 を剥離し、露出した無電解めっきにより形成された Cu 層 150 をエッチング除去して、回路部を形成する。（図 2（d））

これにより、1 層目の配線層が形成される。

そして、同様にして、1 層目の配線層 170 上に、2 層目の配線層 175 を形成する。（図 3（a））

次いで、2 層目の配線層 175 上に、第 2 の端子部 191、192 の形成領域を露出させる開口 181 を設け、配線層 175 全体を覆うように、ソルダーレジスト 180 を形成する（図 3（b））。

次にソルダーレジスト 180 の開口 181 に電解めっきを施し、第 2 の端子部 191、192 を形成する。（図 3（c））

この電解めっき工程において、順に、電解 Ni めっき、電解 Au めっきを、Ni 層 111、第 2 の Cu 層 113 を導電層として行う。

形成される Ni めっき層 191、Cu 層 192 の厚さの総和がソルダーレジスト 180 の厚さに相当する。

次いで、複合材 110 の残部をエッチング除去する。（図 3（d））

この場合順次、第 2 の Cu 層 113 のエッチング、Ni 層 112 のエッチング、第 1 の Cu 層 111 のエッチングの順に行う。

このエッチング除去工程において、例えば、第 2 の Cu 層 113、第 1 の Cu 層 111 のエッチングにはアルカリ系溶液、Ni 層 112 のエッチングには、過

水、硫酸系溶液をエッチング液として用いる。

これにより、目的とする配線基板が作製される（図 3（d））。

次に、本発明の配線基板の製造方法の第 2 の実施の形態を、図 4、図 5 に基づいて説明する。

配線基板は 2 層の配線層 270、275 からなる配線部と、配線層 270、275 の一方側に突出して設けられた第 1 の端子部 230、211、212、295 と、配線層 270、275 の他方側に設けられた第 2 の端子部 291、292 とを備えている（図 5（d））。

配線部の各配線層 270、275 は第 1 の端子部 230、211、212、295 側に樹脂材層 240、245 を有し、また第 1 の端子部 230、211、212、295 は半導体素子の半田バンプと直接フリップチップ接続するための、突起状のフリップチップ接続用バンプを構成している。

第 2 の端子部 291、292 は配線部 270、275 を覆うソルダーレジスト 280 の開口 281 にこれを埋めるように形成されている。

各配線層 270、275 は、その樹脂材層側 240、245 を第 1 の端子部側 211、212、295 側に向けている。第 1 の端子部 230、211、212、295 側にはソルダーレジストを設けておらず、樹脂材層 240 を露出させている。第 1 の端子部 211、212、295 は、その突起状の先端に平面部 295 を設け、且つ、各端子部 211、212、295 の平面部 295 を一平面上に揃えている。

このような構成からなる配線基板は、パッケージ用のインターポーザとして用いられる。

次に配線基板の製造方法について述べる。まず、順に第 1 の Cu 層 211、Ni 層 212、第 2 の Cu 層 213 を積層してなる板状の複合材 210（図 4（a））を準備する。次に第 1 の Cu 層 211 の表面に所定形状にレジスト 220 を形成し（図 4（b））、レジスト 220 を耐めっきレジストとして、レジストの開口 221 から露出した第 1 の Cu 層 211 上に、開口 221 を埋めるように、電解めっきにより、第 1 の端子部の一部となる電解めっき部（電解めっき形成部）230 を形成する。（図 4（c））



電解めっき部 230 は、通常、Cuめっきである。

次いで、レジスト 220 を剥離した（図 4（d））後、電解めっき部 230 側上に、前記第 1 の端子部の一部となる電解めっき部 230 に接続するようにして、樹脂材層 240 を介して設けた 1 層目の配線層 270 と、樹脂材層 245 を介して設けた 2 層目の配線層 275 を各々形成する（図 4（e）～図 5（a））。更に、第 2 の端子部 291、292 の形成領域を露出させる開口 281 を設け、配線層 275 全体を覆うように、ソルダーレジスト 280 を形成する（図 5（b））。

次にソルダーレジスト 280 の開口 281 に電解めっきを施し、Niめっき層 291 と Auめっき層 292 とからなる第 2 の端子部を形成する。

次に Ni 層 212 をエッチングストッパー層として、第 2 の Cu 層 213 をエッチング除去し、更に、Ni 層 212 上に、第 1 の端子部領域のみを覆うように追加レジスト 212a を形成する。次に追加レジスト 212a を耐エッチングレジストとして、Ni 層 212、第 1 の Cu 層 211 をエッチングして貫通させ、電解めっき形成部 230、第 1 の Cu 層 211 の残部、Ni 層 212 の残部を併せて第 2 の端子部として形成し、追加レジスト 212a を除去する。（図 5（c））

更に、露出した Ni 層 212 表面に、無電解 Auめっきを施して無電解 Auめっき層 295 を形成する（図 5（d））。

これにより、目的とする配線基板が作製される。

尚、各部材も第 1 の例と同様のものが適用でき、ここでは説明を省く。

次に本発明の変形例について述べる。Cu 層 111、Ni 層 112、第 2 の Cu 層 113 を積層してなる板状の複合材 110（図 1（a））に代え、第 1 の Cu 層、Ti 層、第 2 の Cu 層を積層してなる板状の複合材を用いてもよい。

また、図 1 乃至図 3 および図 4 乃至図 5 において、配線層の数は 1 層、あるいは、3 層以上としてもよい。

また、配線層の形成方法も、セミアディティブ方法に限定されない。

フルアディティブ方法とサブトラクティブ方法、あるいはフルアディティブ方法とセミアディティブ方法の両方を用いたものも挙げられる。

本発明のフリップチップ接続用バンプを有する配線基板の実施の形態としては、図3（d）に示す配線基板の製造方法の第1の実施の形態により作製されたもの、図5（d）に示す配線基板の製造方法の第2の実施の形態により作製されたものが挙げられるが、これらに限定はされない。

図3（d）、図5（d）に示すものは、いずれも、配線層を2層配設した配線基板の一方側に、半導体素子の半田バンプと直接フリップチップ接続するための、突起状のフリップチップ接続用バンプを第1の端子部として形成し、他方側には、配線部を覆うソルダーレジストの開口にこれを埋めるように第2の端子部をめっき形成している。樹脂材層上に配線を形成した各配線層は、その樹脂材層側を第1の端子部側に、その配線を第2の端子部側に向けている。第1の端子部側にはソルダーレジストを設けずに、樹脂材層を露出させており、第1の端子部は、その突起先端に平面部を設けている。各端子部の平面部は一平面上に揃えており、その側面部を含み露出した表面全体に、電解めっき層あるいは無電解めっき層からなる表面めっき層が形成されている。

尚、各部の材質等については、上記の製造方法の説明に代え、ここでは説明を省略する。

本発明の、図3（d）に示す配線基板、図5（d）に示す配線基板のインターポーザとしてのパッケージ用基板310は、例えば、図6に示すように、その第1の端子部312が、半導体素子310の半田バンプ325と直接、フリップチップ接続される。

この場合、第1の端子部312の突出した平面部312Sは一平面に揃うため、均一に接合することができる。

また、第1の端子部312の表面部が金層であり、化学的に安定しており、酸化は起こらず、フラックス処理も不要となり得る。

本発明による配線基板は、上記のように半導体素子の半田バンプと直接フリップチップ接続できるめっきバンプあるいは表面がめっき形成されたバンプを備えている。この配線基板は半導体素子の半田バンプとの直接のフリップチップ接続を信頼性良くできる。

詳しくは、これにより、高価な材料、プロセスを用いた半田バンプ形成が不要

となり、より安価な方法により、より微細ピッチに対応したバンプ形成が実現可能となった。

また、特に図 1 乃至図 3 に示す配線基板の製造方法の場合、無電解Niめっき、無電解Auめっきに代わり、接合信頼性の高い電解めっきによりバンプ形成が可能となった。

また、印刷方法によって形成された半田バンプと比較し、バンプの高さのバラツキを少なくできるため、半導体素子との接合も良好となり、実装時の歩留まりが向上するようになった。

また、Pbフリー半田適用時に、基板の加熱が不要となり、基板へのダメージが低減され、歩留まりが向上するようになった。

### 請求の範囲

1. 1層以上の配線層からなる配線部と、配線部の一方側に突出して設けられた第1の端子部と、配線部の他方側に設けられた第2の端子部とを有する配線基板の製造方法において、

多層の金属層からなる複合材の表面に、第1の端子部用開口を有するレジストを形成するレジスト形成工程と、

レジストの第1端子部用開口から複合材の第1の金属層のみをエッチングして孔部を形成するエッチング工程と、

レジストの第1の端子部用開口から孔部を埋めるよう第1の端子部を電解めっきにより形成する第1の電解めっき工程と、

レジストを剥離した後、第1の端子部に樹脂材層を設けて配線層を形成する配線層形成工程と、

配線層上に、第2の端子部用開口を有するソルダーレジストを設けるソルダーレジスト形成工程と、

ソルダーレジストの第2の端子部用開口に電解めっきを施して第2の端子部を形成する第2の電解めっき工程と、

複合材の残部をエッチング除去するエッチング除去工程と、  
を備えたことを特徴とする配線基板の製造方法。

2. 複合材は第1のCu層、Ni層またはTi層、および第2のCu層を積層して構成されていることを特徴とする請求項1記載の配線基板の製造方法。

3. 第1の電解めっき工程は、順にAuめっき、Cuめっき、あるいは順にAuめっき、Niめっき、あるいは順にAuめっき、Niめっき、Cuめっき、あるいは順にPdめっき、Cuめっき、あるいは順にPdめっき、Niめっき、あるいは順にPdめっき、Niめっき、Cuめっき、あるいは順にPd系合金めっき、Cuめっき、あるいは順にPd系合金めっき、Niめっき、あるいは順にPd系合金めっき、Niめっき、Cuめっき、あるいはSnめっき、あるいは順にSnめっき、Cuめっき、あるいはSn系合金めっき、あるいは順にSn系合金めっき、Cuめっきを施すことからなることを特徴とする請求項1記載の配線

基板の製造方法。

4. 1層以上の配線層からなる配線部と、配線部の一方側に突出して設けられた第1の端子部と、配線部の他方側に設けられた第2の端子部とを有する配線基板の製造方法において、

第1のCu層、Ni層および第2のCu層からなる複合材の表面に第1の端子部用開口を有するレジストを形成するレジスト形成工程と、

レジストの第1の端子部用開口を埋めるよう第1の端子部用の電解めっき形成部を電解めっきにより形成する第1の電解めっき工程と、

レジストを剥離した後、電解めっき形成部に樹脂層を設けて配線層を形成する配線層形成工程と、

配線層上に、第2端子部用開口を有するソルダーレジストを設けるソルダーレジスト形成工程と、

ソルダーレジストの第2端子部用開口に電解めっきを施して第2端子部を形成する第2の電解めっき工程と、

複合材のNi層をエッチングストッパとして第2のCu層をエッチング除去する工程と、

Ni層上に第1の端子部領域のみを覆うようにして、追加レジストを形成し、この追加レジストを耐エッチングレジストとしてNi層、第1のCu層をエッチングして貫通させ、電解めっき形成部と、第1のCu層と、Ni層とからなる第1の端子部を形成するエッチング工程と、

追加レジストを除去した後、電解めっき形成部、第1のCu層、およびNi層上に、更に無電解Auめっき層、あるいは順に無電解Niめっき層および無電解Auめっき層を施す無電解めっき工程と、

を備えたことを特徴とする配線基板の製造方法。

5. 複合材はクラッド材からなることを特徴とする請求項1または4記載の配線基板の製造方法。

6. 配線層形成工程において、セミアディティブ方法により配線層が形成されることを特徴とする請求項1または4記載の配線基板の製造方法。

7. 配線層形成工程は、(A) 絶縁性樹脂からなる樹脂材層をラミネートす

るラミネート工程と、

(B) 前記ラミネート工程にてラミネートされた樹脂材層を、レーザにてビア形成用の孔を開ける、孔形成工程と、

(C) 形成された孔部の表面を含め、樹脂材層表面にCu無電解めっきを施し、形成されたCu層上に、回路形成部を開口してレジストを形成した後、レジスト開口から露出したCu層上に、該Cu層を導電層として電解Cuめっきを施し、更に、前記レジストを剥離し、露出した無電解めっきにより形成されたCu層をエッチング除去して、ビアを形成するとともに、回路部を形成する回路部形成工程とを備えたことを特徴とする請求項6記載の配線基板の製造方法。

8. 配線層形成工程において、フルアディティブ方法とサブトラクティブ方法、あるいはフルアディティブ方法とセミアディティブ方法の両方を用いて配線層が形成されることを特徴とする請求項1または4記載の配線基板の製造方法。

9. 1層以上の配線層からなる配線部と、

配線部の一方側に設けられた複数の第1の端子部と、

配線部の他方側に設けられた複数の第2の端子部とを備え、

配線層は第1の端子部側に向かう樹脂材層を有しており、配線部の第1の端子部側にはソルダーレジストを設けずに、樹脂材層が露出し、

各第1の端子部は、その先端に平面部を有し、各第1の端子部の平面部は一平面上に揃っており、各第1の端子部の平面部全体に、電解めっき層あるいは無電解めっき層からなる表面めっき層が形成されていることを特徴とする配線基板。

10. 第1の端子部の電解めっき層は、表面側から順にAuめっき層、Cuめっき層、あるいは順にAuめっき層、Niめっき層、あるいは順にAuめっき層、Niめっき層、Cuめっき層、あるいは順にPdめっき層、Cuめっき層、あるいは順にPdめっき層、Niめっき層、あるいは順にPdめっき層、Niめっき層、Cuめっき層、あるいは順にPd系合金めっき層、Cuめっき層、あるいは順にPd系合金めっき層、Niめっき層、あるいは順にPd系合金めっき層、Niめっき層、Cuめっき層、あるいはSnめっき層、あるいは順にSnめっき層、Cuめっき層、あるいはSn系合金めっき層、あるいは順にSn系合金めっき層、Cuめっき層を形成したものであることを特徴とする請求項9記載の配線

基板。

11. 第1の端子の無電解めっき層は、無電解Auめっき層、あるいは、表面側から順に無電解Niめっき層、無電解Auめっき層であることを特徴とする請求項9記載の配線基板。

1/7

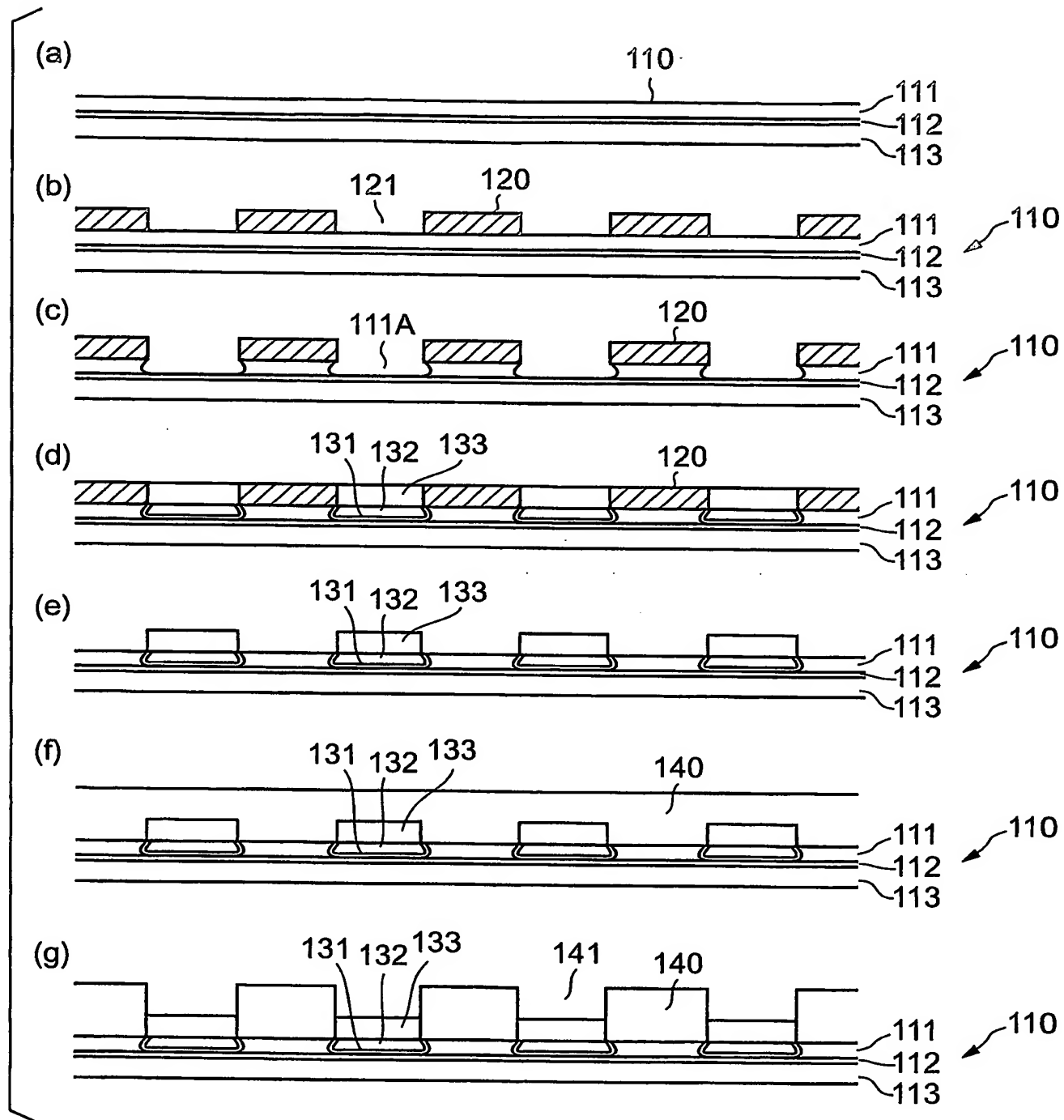


FIG. 1



2/7

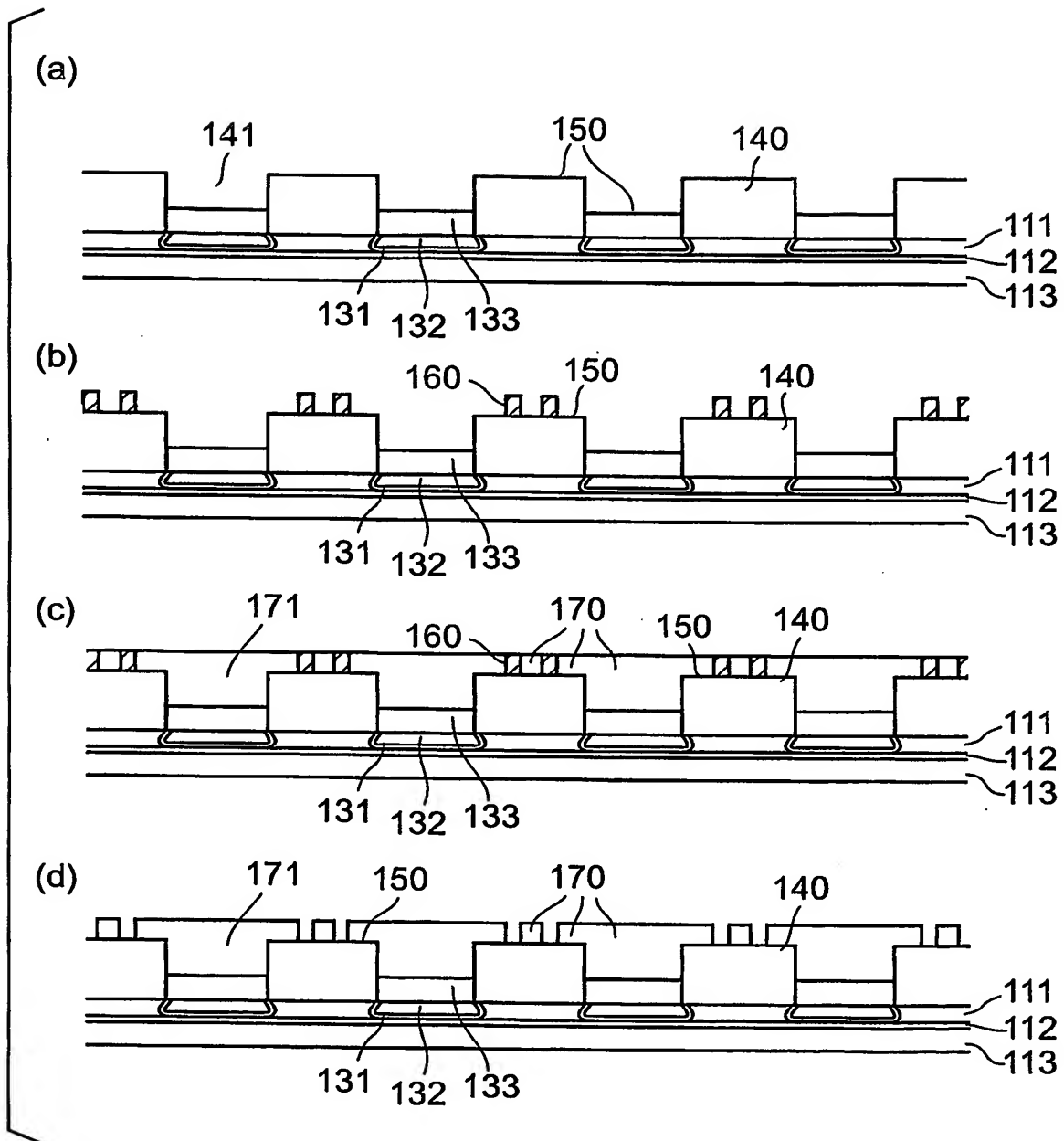


FIG. 2

3/7

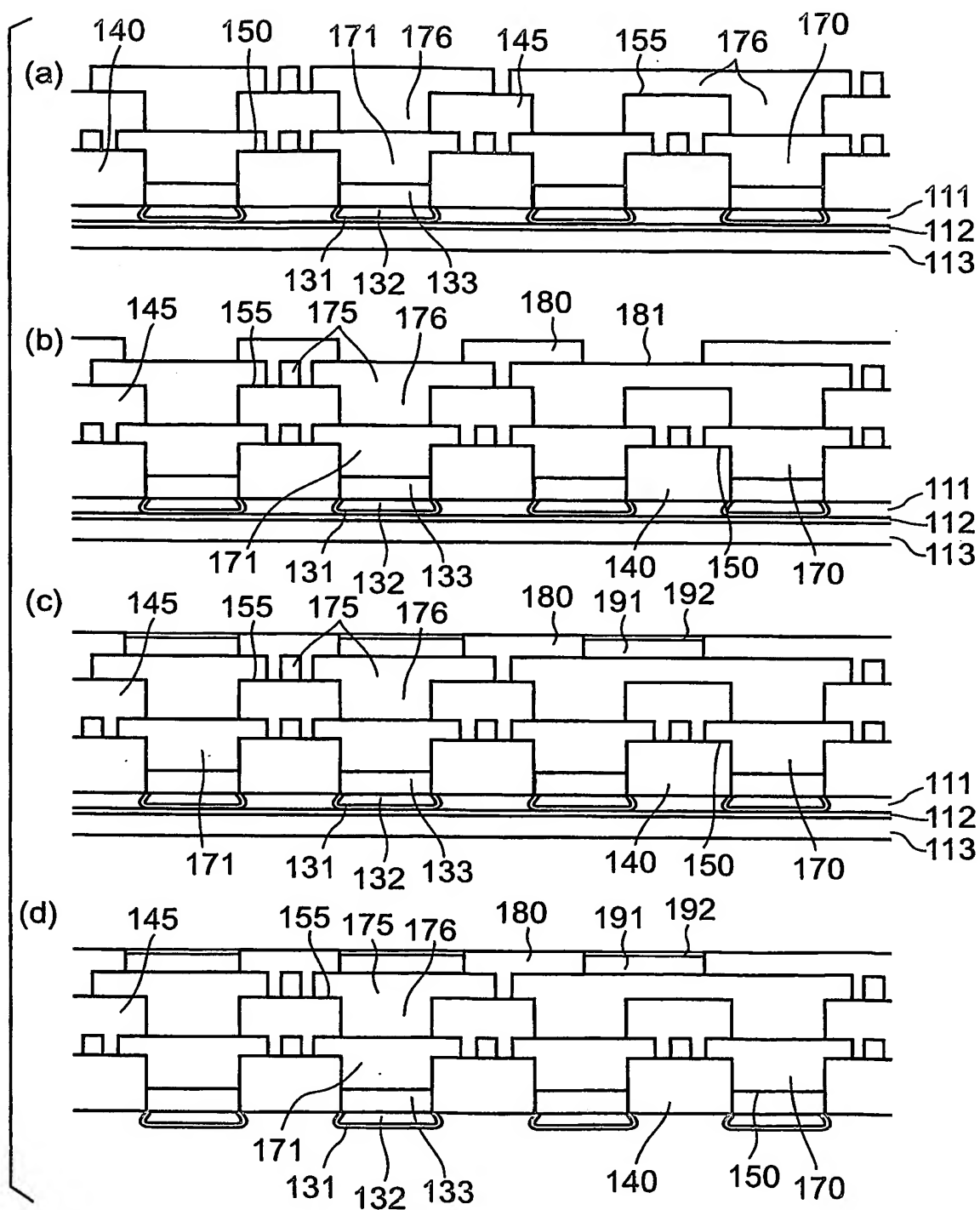


FIG. 3

4/7

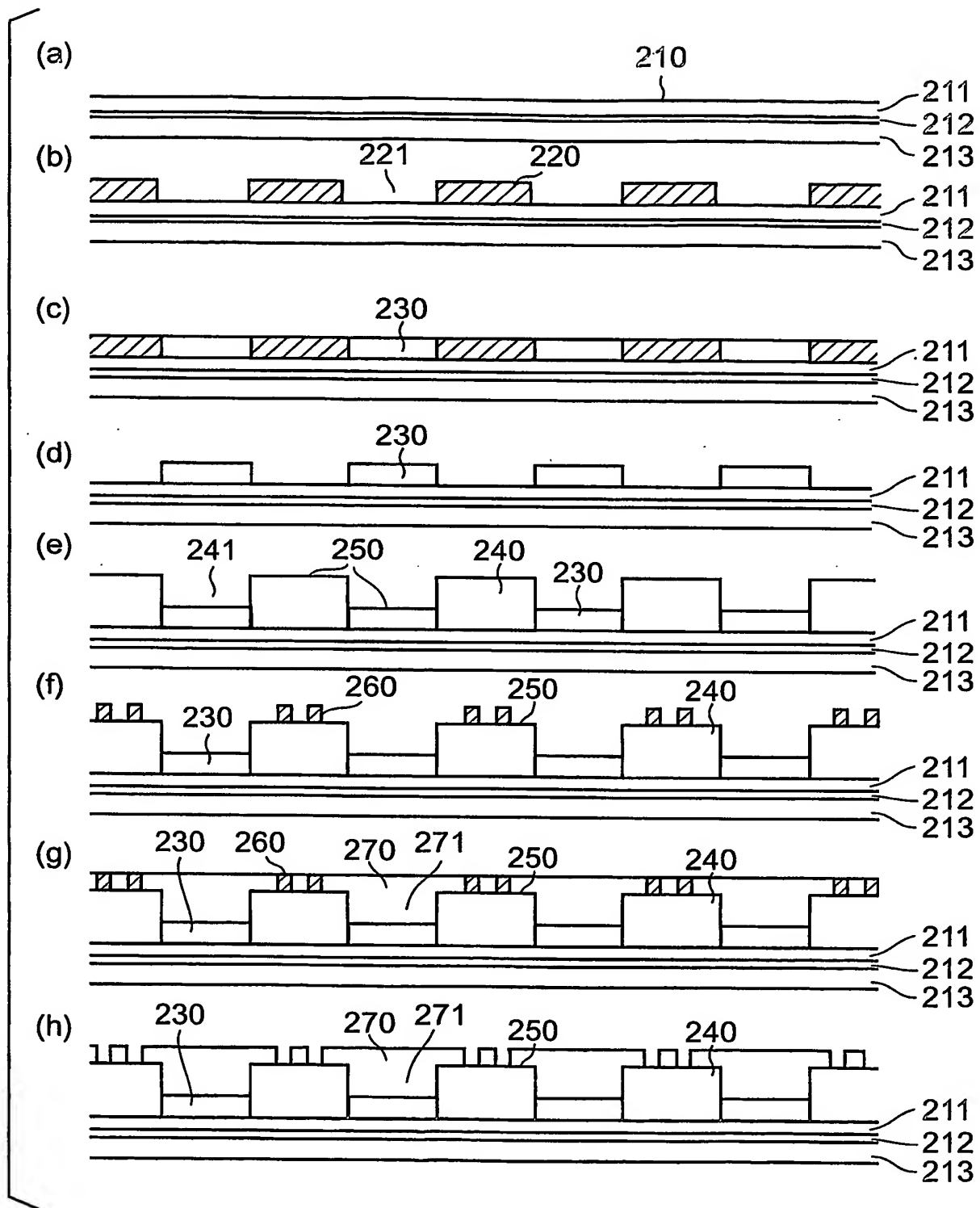


FIG. 4

5/7

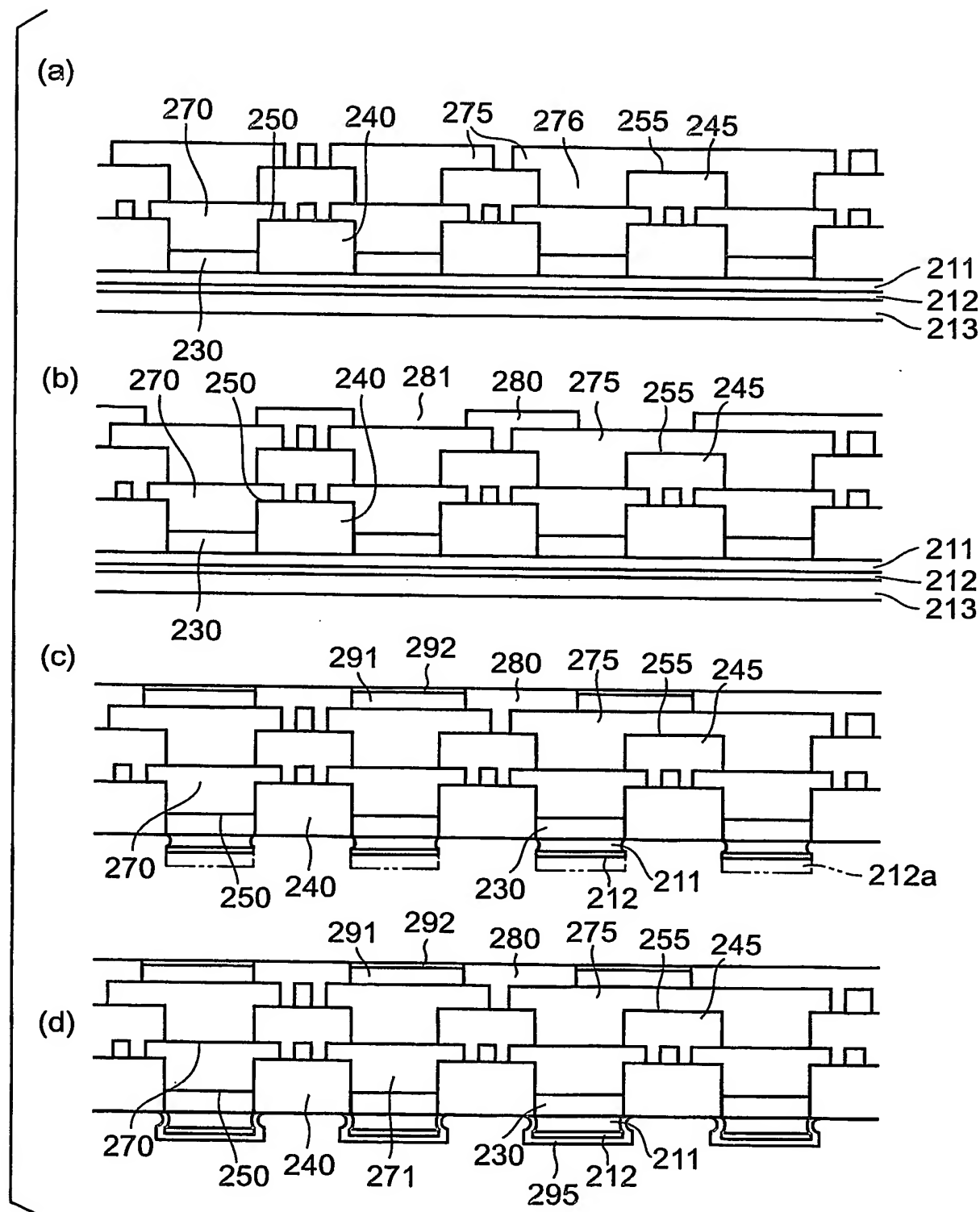


FIG. 5

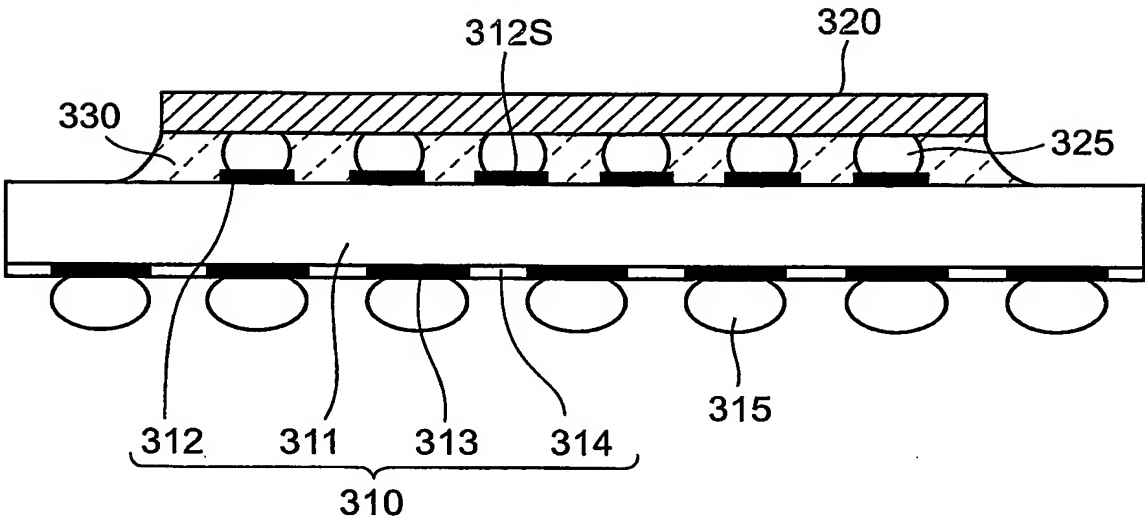


FIG. 6

7/7

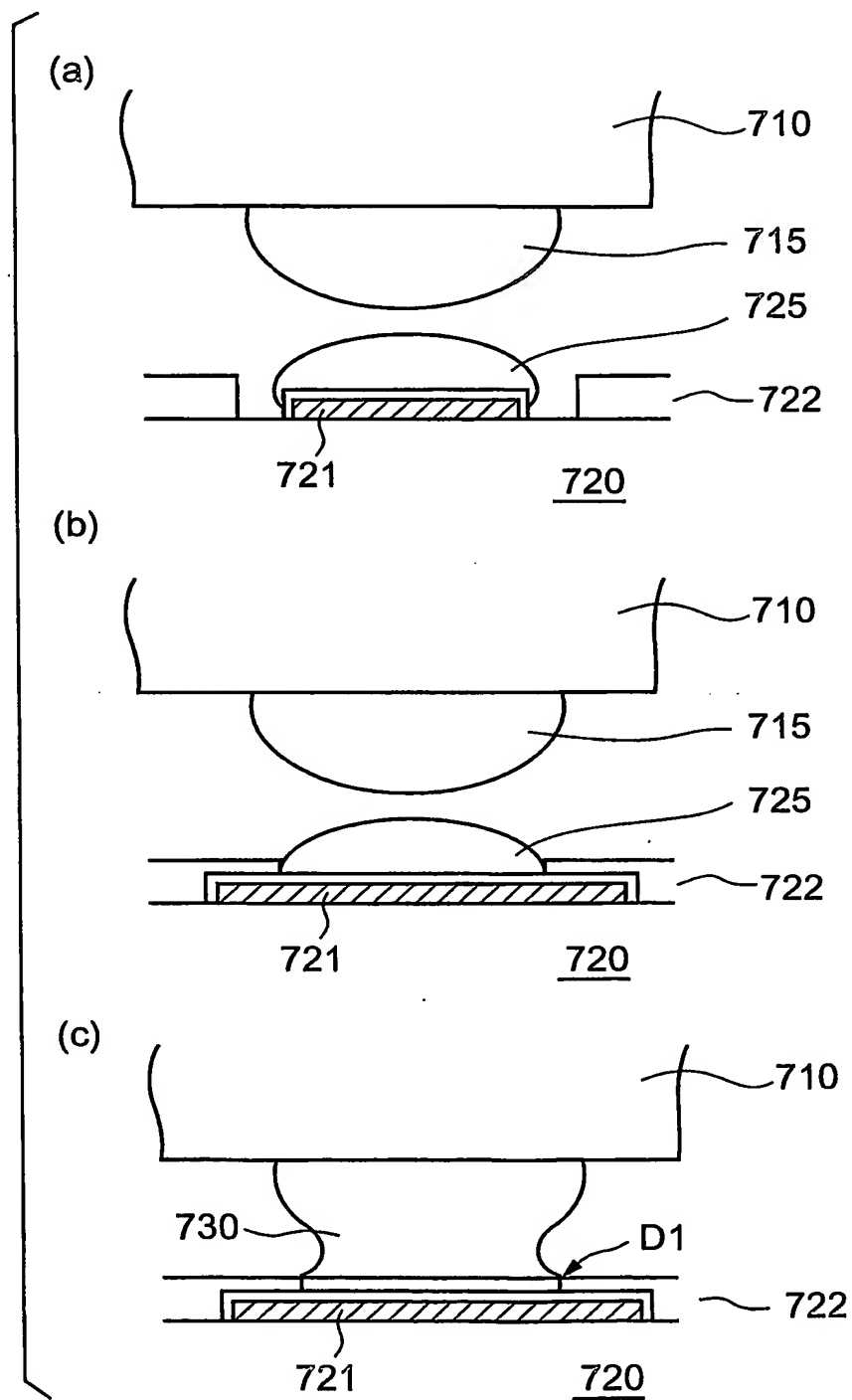


FIG. 7

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004908

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L21/60, 23/12

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L21/60, 23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004

Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-135551 A (Sony Corp.), 21 May, 1999 (21.05.99), Column 8, lines 20 to 27; Fig. 2 (Family: none)	9-11
X	JP 2000-183223 A (Dainippon Printing Co., Ltd.), 30 June, 2000 (30.06.00), Column 6, line 38. to column 8, line 18; Fig. 1 (Family: none)	9-11
A	JP 59-208756 A (Sony Corp.), 27 November, 1984 (27.11.84), (Family: none)	1-11

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

19 May, 2004 (19.05.04)

Date of mailing of the international search report

01 June, 2004 (01.06.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004908

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 3-94459 A (Shinko Electric Industries Co., Ltd.), 19 April, 1991 (19.04.91), (Family: none)	1-11



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L21/60, 23/12

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L21/60, 23/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2004年  
 日本国登録実用新案公報 1994-2004年  
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 11-135551 A (ソニー株式会社) 1999. 05. 21, 第8欄第20行~第8欄第27行, 図2 (ファミリーなし)	9-11
X	J P 2000-183223 A (大日本印刷株式会社) 2000. 06. 30, 第6欄第38行~第8欄第18行, 図1 (ファミリーなし)	9-11
A	J P 59-208756 A (ソニー株式会社) 1984. 11. 27 (ファミリーなし)	1-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

19. 05. 2004

国際調査報告の発送日

01. 6. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田中 永一

4 R

9539

電話番号 03-3581-1101 内線 3469

## C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 3-94459 A (新光電気工業株式会社) 1991. 04. 19 (ファミリーなし)	1-11